

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-118811  
(43)Date of publication of application : 07.05.1990

(51)Int.CI. G06F 1/08  
G06F 1/04  
G06F 15/78

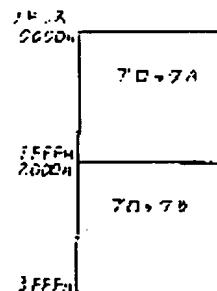
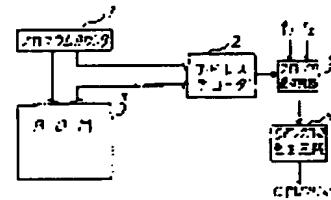
(21)Application number : 63-273603 (71)Applicant : NEC CORP  
(22)Date of filing : 28.10.1988 (72)Inventor : YOSHIZAWA KAZUTOSHI

## (54) MICRO-COMPUTER

### (57)Abstract:

**PURPOSE:** To set the action speed of a CPU in accordance with an accessed memory space to real time and to reduce the energy consumption by decoding an address and switching the clock source supplied to the CPU.

**CONSTITUTION:** A program area to operate a CPU at a low speed is made into a block A and an area to operate at a high speed is made into a block B. Then, when a program counter 1 becomes the value of the area of the block A, an address decoder 2 outputs a signal '0' to select a CPU clock source f1, a clock selecting circuit 3 selects the source f1 and a clock generating circuit 4 generates a low speed clock. Next, when the high speed is necessary, the branching instruction to the block B is executed, the program counter 1 becomes the value of the area of the block B, and then, a source f2 is selected and the high speed processing is executed. Thus, by converting the action speed to the real time, the energy consumption can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑪ 公開特許公報 (A)

平2-118811

⑫ Int. Cl. 9

G 08 F 1/08  
1/04  
15/78

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月7日

3 0 1 C  
5 1 0 P7459-5B  
7343-5B  
7459-5BG 06 F 1/04 3 2 0 Z  
審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 マイクロコンピュータ

⑮ 特願 昭63-273603

⑯ 出願 昭63(1988)10月28日

⑰ 発明者 吉澤和俊 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原晋

## 明細書

発明の名称

マイクロコンピュータ

## 特許請求の範囲

マイクロコンピュータのメモリ空間をアドレッシングするアドレスポインタと、前記アドレスポインタが出力するアドレス信号をデコードしてアドレス空間識別信号を出力するアドレスデコーダと、複数のCPUクロックソース信号と、前記アドレスデコーダの出力するアドレス空間識別信号に基づき前記複数のCPUクロックソース信号のうちの1つを選択する選択回路と、前記選択回路で選択されたCPUクロックソース信号に基づき、CPUクロックを発生するCPUクロック発生回路とを含んで構成される事を特徴とするマイクロコンピュータ。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はマイクロコンピュータに関し、特にCPUクロックソース信号として複数のクロック信号から選択可能なマイクロコンピュータに関する。

## 〔従来の技術〕

マイクロコンピュータは民生分野、産業分野等のさまざまな分野で応用されているが、これらの応用分野によりマイクロコンピュータに要求される処理速度や消費電力といった性能もさまざまである。更に、ある一つのシステムにおいてもマイクロコンピュータが制御する内容は多種多様である。

例えば、カメラへの応用では低消費電力であることが絶対条件であるが、メカニカルコントロール時は高速処理を必要とし、かつ電力消費が増大する。一方、非撮影時におけるスイッチやボタン押下検出、日付表示等は高速処理を必要としない。従って、メカニカルコントロール時とそうでない場合とで、処理速度を変えて平均の消費電力

をできる限り低くすれば、使用電池の寿命を長くする上で非常に有効である。これらの速度や電力といった問題は、マイクロコンピュータの動作クロックに依存するもので、その処理内容に応じて動作クロックを変更できることは重要である。

ここで、従来のマイクロコンピュータでは、発振回路の信号や外部からの入力クロックをそのまま、あるいは分周して動作クロックを発生しており、通常は発振回路に接続する発振子の周波数を変えるか、あるいは外部入力クロックの周波数を変えない限り動作速度を変えることはできず、処理内容に応じて速度を変えることは不可能である。

一方、近年では日本電気製マイクロコンピュータ PD7519 のように CPU の動作速度を切替える為のモードレジスタを内蔵し、発振回路出力あるいは外部入力クロックを分周する分周回路の異なる分周段出力の中から、1 つの分周出力を命令操作により選択して CPU の動作クロックを変更できるマイクロコンピュータも登場している。

速度が遅くなるという欠点を有している。特に、この応答速度が問題になるようなアプリケーションでは結局通常の動作時も高速動作モードにしておかざるをえないという欠点があり、やはり平均消費電力が大きくなってしまう。

#### 〔課題を解決するための手段〕

本発明のマイクロコンピュータの構成は、マイクロコンピュータのメモリ空間をアドレッシングするアドレスポインタと、前記アドレスポインタが出力するアドレス信号をデコードしてアドレス空間識別信号を出力するアドレスデコーダと、複数の CPU クロックソース信号と、前記アドレスデコーダの出力するアドレス空間識別信号に基づき前記複数の CPU クロックソース信号のうちの 1 つを選択する選択回路と、前記選択回路で選択された CPU クロックソース信号に基づき、CPU クロックを発生する CPU クロック発生回路とを含んで構成される事を特徴とする。

#### 〔実施例〕

次に、本発明の実施例について図面を参照して

#### 〔発明が解決しようとする課題〕

前者の場合は動作速度の切替ができないため、マイクロコンピュータのさまざまな処理内容のうち最も高速動作を要する処理が目的通り達成できるような発振周波数あるいは外部入力クロック周波数を設定せざるをえず、それ故動作電源電圧範囲が 5 V 付近に限定されるため、マイクロコンピュータの応用範囲が狭くなるという欠点があり、また全体の平均消費電力が大きくなるという欠点がある。

一方、後者の場合、命令操作でスピードを切替えることができるため、低速処理のモードに設定することにより低電源電圧での動作が可能となり応用範囲は広がるが、命令操作で変更するためには低速動作中に高速処理が必要な割込みが発生した場合や高速処理を要するサブルーチンをコールした場合にも、割込み処理やサブルーチンの最初に実行する動作速度を変更する命令が終了するまでの間は、以前の低速動作を継続するため、割込み処理や実際のサブルーチン処理に入るまでの応答

説明する。

第 1 図は本発明の第 1 の実施例のブロック図であり、プログラムカウンタ 1 と、前記プログラムカウンタ 1 でアクセスされるプログラムメモリ 5 (以下、ROM と称す) と、プログラムカウンタ 1 が出力するアドレス信号をデコードしてアドレス空間識別信号を出力するアドレスデコーダ 3 と、2 種類の CPU クロックソース信号  $f_1$  と  $f_2$  と、アドレスデコーダ 3 の出力するアドレス空間識別信号に基づき 2 種類の CPU クロックソース信号  $f_1$  又は  $f_2$  の一方を選択する選択回路 3 と、選択回路 3 で選択された CPU クロックソース信号  $f_1$  又は  $f_2$  のクロックを分周して CPU クロックを発生する CPU クロック発生回路 4 とから構成される。CPU クロックソース信号  $f_1$  は CPU を超低速で動作させるため 32.768 kHz、CPU クロックソース信号  $f_2$  は CPU を高速で動作させるため 4.19 MHz とする。即ち、CPU クロックソース信号  $f_1$  と  $f_2$  では 1 : 128 の速度比となる。プログラムカウンタ

1は14ビットで、ROM5は16Kバイトとする。

第2図は16KバイトのROM空間を示す図で、説明を簡単にする為に、CPUを低速で動作させるプログラム領域を0000H～1FFFH。（Hは16進数を示す）のブロックAとし、CPUを高速で動作させるプログラム領域を2000H～3FFFHのブロックBとする。従って、アドレスコード2は、プログラムカウンタ1がブロックAの領域の値となるとCPUクロックソース1を選択する信号‘0’を出力し、クロック選択回路3によりCPUクロックソース1が選択され、CPUクロック発生回路4はクロックソース1に基いた低速のCPUクロックを発生する。ブロックAの領域のプログラム実行中に高速動作が必要な処理が発生した場合には、ブロックBの領域内に分岐する分岐命令を実行する。アドレスコード2は、分岐命令実行によりプログラムカウンタ1がブロックBの領域の値となるとCPUクロックソース2を選択する信号‘1’

ドすれば良い。

ROM空間の分割の仕方は本実施例に限定されないことはもちろんで、適宜定めることができ、それに応じてアドレスデコーダ2のデコードの方法も定めれば良い。

第3図はROM内部に割込み発生時の割込みベクターテーブルを持っている場合のROM構成を示す図で、割込みa～割込みcの各ベクター割込みに対応して、割込み処理ルーチンのスタートアドレスを格納している。

割込みa及び割込みbが高速処理を要する割込み、又割込みcが低速処理の割込みとすると、割込みa及び割込みbに対応する割込処理ルーチンをブロックB内に配置し、割込みcに対応する割込処理ルーチンをブロックA内に配置することにより、ベクター割込みにより各ベクターテーブル内容がプログラムカウンタ1に設定されると、アドレスデコーダ2がアドレスを判別してクロックソース1、又は1<sub>2</sub>を指定することで割込a及び割込bの時は高速クロックに、割込cの時は低速

を出力し、クロック選択回路3によりCPUクロックソース $S_2$ が選択され、CPUクロック発生回路4はクロックソース $S_2$ に基づいた高速のCPUクロックを発生するため、分岐先のプログラムを高速動作で処理する。高速動作を要する処理が終了した場合には、ブロックAの領域内に分岐する分岐命令を実行することにより、プログラムカウンタ1がブロックAの領域の値となることにより、低速のCPUクロックソース $S_1$ が選択されてCPUは再び低速動作に戻る。

従って、処理内容に応じて、低速動作で問題のない処理ルーチンをブロックA内に配置し、高速動作を要する処理ルーチンをブロックB内に配置することにより、各処理に対応した速度でCPUを動作させることができる。

本実施例ではブロックAの領域を0000～1FFF、ブロックBの領域を2000～3FFFとしたために、アドレスデコーダ2は、プログラムカウンタ1の出力全ビットをデコードする必要はなく、最上位ビットだけをデコード

クロックに切替えて動作する。

尚、ベクター割込み発生時にベクターテーブル内のスタートアドレス参照のためにベクターテーブル自身のアドレスを求めるが、この場合はブロック A 内のアドレスとしてデコードしても良いし、スタートアドレスがプログラムカウンタ 1 に設定されるまでは直前のアドレスを保持するようにアドレスデコーダ回路 2 を構成しても良い。

第4図は本発明の第2の実施例を示すブロック図である。

実施例 1 はプログラムメモリのアドレッシングを例に説明したが、本実施例はデータメモリ空間のアドレッシングに適用した場合である。第 1 図と同一番号で示した部分は同一機能を有するので説明を省略する。

データポインタ6は、データメモリ空間をアドレスリングする際に使用するデータポインタで、各種周辺ハードウェア7-1～7-9がメモリマッピングされており、データバス8を介して周辺

尚、CPUクロックソースは実施例で示した2

第2図はプログラムメモリを示す図、第3図は割込みベクターテーブルを併記したプログラムメモリの図、第4図は第2の実施例のブロッフ図である。

1 … プログラムカウンタ、2 … アドレスデコーダ、3 … クロック選択回路、4 … C P U クロック発生回路、5 … プログラムメモリ (R O M) 、6 … データポインタ、7 - 1 ~ 7 - n … 周辺ハードウェア 1 ~ n 、8 … データバス。

代理人 律师 内原

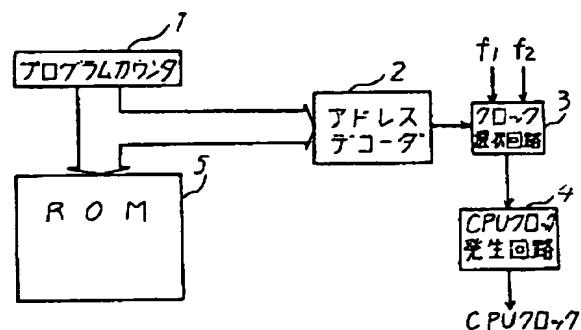
種類に限定されることなく必要に応じて増加することができ、またマイクロコンピュータに接続する発振子を複数持つてその中から選択しても良いし、1つの発振子の発振出力を分周した複数のクロックソースから選択するようにしても良い。

### 〔発明の効果〕

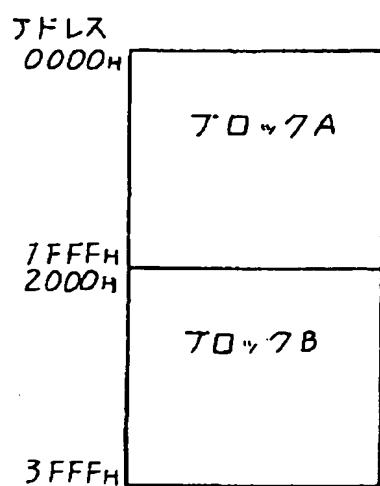
以上説明したように本発明は、メモリ空間をアドレッシングした際にアドレスをデコードして、CPUに供給するクロックソースを切替えることにより、アクセスしたメモリ空間に応じてCPUの動作スピードを容易に、しかもリアルタイムに設定できるため、目的の処理に応じたCPU速度で処理ができ、必要な場合のときのみ高速動作にすることにより平均の消費電力を低減するのに効果がある。特に、命令で動作スピードを切替えるのに比べリアルタイムに変更できるため実用効果は大きい。

## 図面の簡単な説明

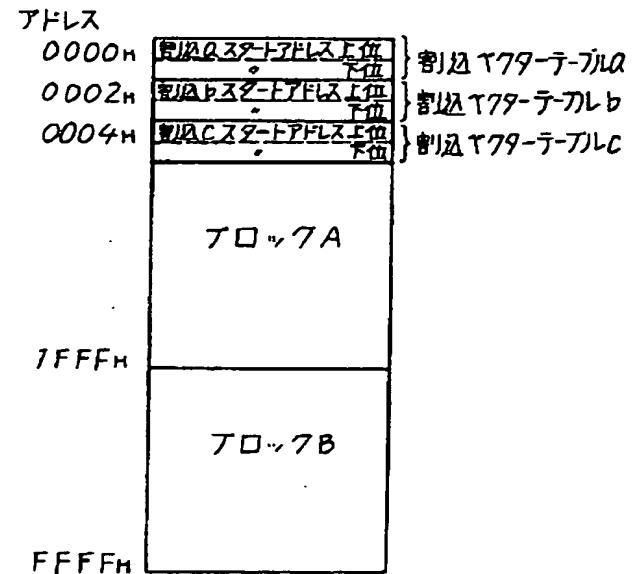
第1図は本発明の第1の実施例のブロック図、



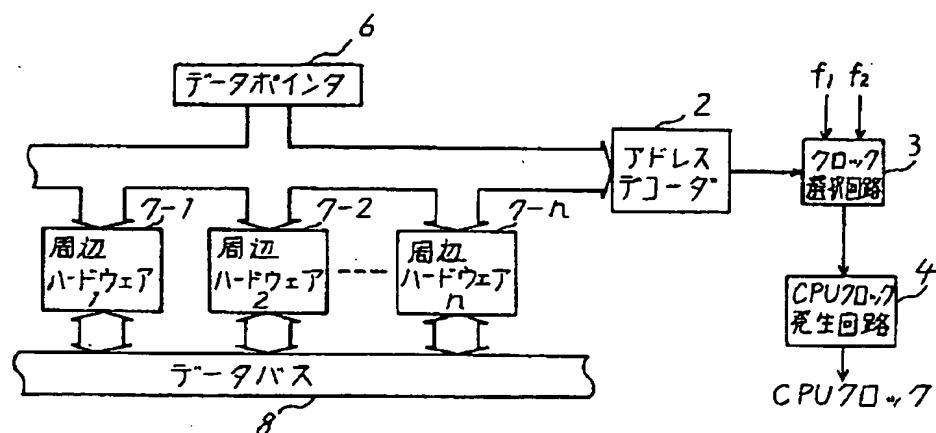
第 1 四



第 2 図



第 3 図



第 4 図